

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10321809 A

(43) Date of publication of application: 04.12.98

(51) Int. Cl.

H01L 27/10
 H01L 27/04
 H01L 21/822
 H01L 27/108
 H01L 21/8242
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21) Application number: 09128450

(22) Date of filing: 19.05.97

(71) Applicant: SHARP CORP

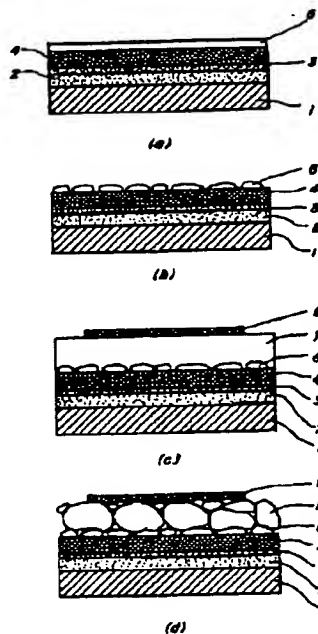
(72) Inventor: OGATA NOBUHITO
ITO YASUYUKI(54) SEMICONDUCTOR STORAGE ELEMENT
MANUFACTURING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a ferroelectric film of a dense crystal structure, capable of forming a ferroelectric film of dense crystal structure on the surface of a lower electrode, even in a Bi-layered structure compound, in which coarsened crystal grains are easily generated by separating crystallization steps into a plurality of stages.

SOLUTION: A Ti adhesive layer 3 and then a lower Pt electrode 4 are formed on a silicon substrate 1, having a silicon oxide film 2 formed by thermal oxidation. Next, on the lower Pt electrode 4, a layer of an MOD solution of $\text{SrBi}_2\text{Ta}_2\text{O}_9$ is coated. After having been subjected to a dry step, the $\text{SrBi}_2\text{Ta}_2\text{O}_9$ film is crystallized by a heat treatment at a substrate temperature of 600°C under a reduced pressure and oxygen atmosphere. Thereafter, coating and drying steps are repeatedly conducted three times on the $\text{SrBi}_2\text{Ta}_2\text{O}_9$ film 6 to provide the $\text{SrBi}_2\text{Ta}_2\text{O}_9$ film 6 with a desired film thickness by the MOD method and to turn the film 6 into an amorphous or microcrystal state by heat treatment. After an upper Pt electrode 9 is formed on the $\text{SrBi}_2\text{Ta}_2\text{O}_9$ film 7, the heat treatment is conducted at a substrate temperature of 600°C under a reduced pressure and oxygen atmosphere.

COPYRIGHT: (C)1998,JPO



(51) IntCl. ⁵	識別記号	F I	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
27/04		27/04	C
21/822		27/10	6 2 1 Z
27/108			6 5 1
21/8242		29/78	3 7 1
審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願平9-128450

(22) 出願日 平成9年(1997)5月18日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 緒方 信人

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 伊藤 康幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

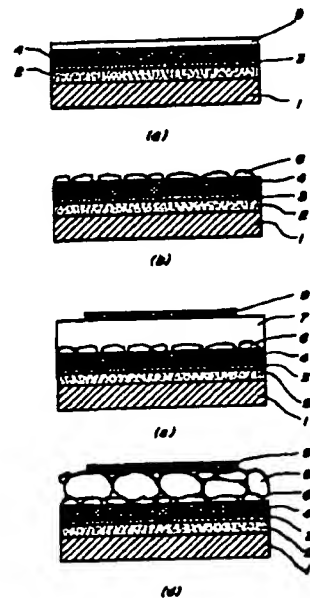
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体記憶素子の製造方法

(57) 【要約】

【課題】 低圧力下での低温熱処理においても $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等の Bi 系層状構造化合物の粗大結晶粒による大きなリーク電流や低い耐圧が問題となっている。

【解決手段】 熱酸化によりシリコン酸化膜 2 を形成したシリコン基板 1 上に、Ti 密着層 3、その後下部 Pt 電極 4 を形成する。次に、この下部 Pt 電極 4 上に、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の MOD 溶液を 1 層塗布し、乾燥工程を施した後、減圧酸素雰囲気中において、基板温度 600℃ の熱処理により結晶化を行った。その後、この結晶化された $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜 6 上に、さらに MOD 法による、塗布、乾燥を 3 回繰り返して所望膜厚とし、熱処理でアモルファスまたは微結晶状態とした。そして、この $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜 7 上に上部 Pt 電極 9 を形成後、減圧酸素雰囲気中における、基板温度 600℃ の熱処理を加えた。



【特許請求の範囲】

【請求項1】 基板上に下部電極、所望の膜厚の強誘電体膜及び上部電極から成る強誘電体キャパシタを有する半導体記憶素子の製造方法において、

上記下部電極上に所定の膜厚の上記強誘電体膜材料を成膜し、熱処理することにより、上記強誘電体膜を結晶化し、

該結晶化された強誘電体膜上に、所望の膜厚になるまで強誘電体膜材料を成膜し、熱処理することにより、該強誘電体膜材料をアモルファス状態又は一部に結晶状態が存在するアモルファス状態にし、該強誘電体膜上に上記上部電極を形成した後、該強誘電体膜の結晶化のための熱処理をすることを特徴とする、半導体記憶素子の製造方法。

【請求項2】 基板上に下部電極、所望の膜厚の強誘電体膜及び上部電極から成る強誘電体キャパシタを有する半導体記憶素子の製造方法において、

上記下部電極上に所定の膜厚の上記強誘電体膜材料を成膜し、熱処理することにより、上記強誘電体膜を結晶化し、

該結晶化された強誘電体膜上に、所定の膜厚の強誘電体膜材料を成膜し、熱処理することにより、該強誘電体膜を結晶化する工程を一又は複数回繰り返すことにより、所望の膜厚の強誘電体膜を形成し、

該強誘電体膜上に上記上部電極を形成した後、該強誘電体膜の結晶化のための熱処理をすることを特徴とする、半導体記憶素子の製造方法。

【請求項3】 上記結晶化のための熱処理を圧力を1 Torr以上且つ10 Torr以下、基板温度を500℃以上且つ700℃以下として行うことを特徴とする、請求項1又は請求項2記載の半導体記憶素子の製造方法。

【請求項4】 上記強誘電体膜材料がピスマス系層状構造化合物であることを特徴とする、請求項1又は請求項2又は請求項3記載の半導体記憶素子の製造方法。

【請求項5】 上記ピスマス系層状構造化合物が $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ ($0 < x \leq 1$)であることを特徴とする、請求項4記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体薄膜を用いた不揮発性半導体記憶素子に関するものである。

【0002】

【従来の技術】 近年、不揮発性メモリであるEPROMやEEPROM、フラッシュメモリ等は読み出し時間こそDRAM並であるが、書き込み時間が長く高速度動作は期待できない。これに対して、強誘電体キャパシタを用いた不揮発性メモリである強誘電体メモリは、読み出し、書き込み共にDRAM並であり、高速度動作の期待できる不揮発性メモリである。デバイス構造は、強誘電体キャパシタ1つと選択トランジスタ1つで1セルを構成

するのが一般的である。

【0003】 強誘電体キャパシタに用いる強誘電体材料として、これまでよく検討されてきたPZTに比べて疲労特性がよく、低電圧駆動が可能なピスマス(Bi)系層状構造化合物が注目され、現在盛んに検討されている。例えば $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{PbBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{BaBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{Sr}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Ba}_2\text{Bi}_4\text{Ta}_5\text{O}_{18}$ 、 $\text{Pb}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Pb}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Na}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 、 $\text{K}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 等が挙げられ、中でも $\text{SrBi}_2\text{Ta}_2\text{O}_9$ や $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ ($0 < x \leq 1$)が好ましい。

【0004】 これらのBi系層状構造化合物材料はPZT等の強誘電体と異なり、MOD法、ゾルゲル法、MOCVD法、スパッタリング法等のいずれの方法を用いても、700～800℃程度の高温の熱処理で強誘電体を結晶化させる必要がある。しかしながら、上述のような高温の熱処理は、スイッチング用MOSFETのトランジスタ特性の劣化、層間絶縁膜やキャパシタ電極の剥離など、悪影響を与えるという問題点がある。特に強誘電体メモリを高集積化するためにはスタック型構造の実現が不可欠であるが、下部電極とのコンタクトにポリシリコンプラグを用いる場合、高温プロセスでの酸化が問題となる。

【0005】 これを解決する方法の一つとして、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の結晶化のための熱処理を減圧下(10 Torr以下)の酸素雰囲気中で行う方法(Jpn. J. Appl. Phys. Vol. 35 (1996) pp. 4925～4929)がある。この方法によれば、ウェハ温度が550～600℃程度の温度で $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を結晶化させることができる。

【0006】

【発明が解決しようとする課題】 しかしながら、上述のような低圧力下での低温熱処理においても $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等のBi系層状構造化合物の粗大結晶粒による大きなリーク電流や低い耐圧が問題となっている。この粗大結晶粒の成長は膜を所望膜厚までアモルファスまたは微結晶粒の状態に堆積した後、一括で結晶化させる際に生じると考えられ、結晶粒間にピンホール等の隙間ができることが大きなリーク電流や低い絶縁耐圧の原因と思われる。

【0007】

【課題を解決するための手段】 請求項1記載の本発明の半導体記憶素子の製造方法は、基板上に下部電極、所望の膜厚の強誘電体膜及び上部電極から成る強誘電体キャパシタを有する半導体記憶素子の製造方法において、上記下部電極上に所定の膜厚の上記強誘電体膜材料を成膜

し、熱処理することにより、上記強誘電体膜を結晶化し、該結晶化された強誘電体膜上に、所望の膜厚になるまで強誘電体膜材料を成膜し、熱処理することにより、該強誘電体膜材料をアモルファス状態又は一部に結晶状態が存在するアモルファス状態にし、該強誘電体膜上に上記上部電極を形成した後、該強誘電体膜の結晶化のための熱処理をすることを特徴とするものである。

【0008】また、請求項2記載の本発明の半導体記憶素子の製造方法は、基板上に下部電極、所望の膜厚の強誘電体膜及び上部電極から成る強誘電体キャパシタを有する半導体記憶素子の製造方法において、上記下部電極上に所定の膜厚の上記強誘電体膜材料を成膜し、熱処理することにより、上記強誘電体膜を結晶化し、該結晶化された強誘電体膜上に、所定の膜厚の強誘電体膜材料を成膜し、熱処理することにより、該強誘電体膜を結晶化する工程を一又は複数回繰り返すことにより、所望の膜厚の強誘電体膜を形成し、該強誘電体膜上に上記上部電極を形成した後、該強誘電体膜の結晶化のための熱処理をすることを特徴とするものである。

【0009】また、請求項3記載の半導体素子の製造方法は、上記結晶化のための熱処理を圧力を1 Torr以上且つ10 Torr以下、基板温度を500℃以上且つ700℃以下として行うことを特徴とする、請求項1又は請求項2記載の半導体記憶素子の製造方法である。

【0010】また、請求項4記載の半導体素子の製造方法は、上記強誘電体膜材料がピスマス系層状構造化合物であることを特徴とする、請求項1又は請求項2又は請求項3記載の半導体記憶素子の製造方法である。

【0011】更に、請求項5記載の半導体素子の製造方法は、上記ピスマス系層状構造化合物が $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ ($0 < x \leq 1$) であることを特徴とする、請求項4記載の半導体素子の製造方法である。

【0012】

【実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0013】図1は本発明の第1の実施の形態の半導体記憶素子の製造工程図であり、図2は本発明の第2の実施の形態の半導体記憶素子の前半の製造工程図であり、図3は本発明の第2の実施の形態の半導体記憶素子の後半の製造工程図であり、図4は従来の強誘電体キャパシタを有する半導体記憶素子の製造工程図である。

【0014】本発明における強誘電体キャパシタを有する半導体記憶素子に用いる基板は、通常半導体装置や集積回路等の基板として使用することができる基板であれば、特に限定されるものではなく、シリコン等の半導体基板、 MgO 等の酸化物結晶基板、硝子基板、形成しようとする素子の種類、用途に応じて適宜選択することができるが、中でもシリコン基板が望ましい。この基板には、Bi系層状化合物の強誘電体薄膜が形成されている。

【0015】また、強誘電体膜は、Bi系層状構造化合物であるが、例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{PbBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{BaBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{Sr}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Ba}_2\text{Bi}_4\text{Ta}_5\text{O}_{18}$ 、 $\text{Pb}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Pb}_2\text{Bi}_4\text{Ti}_5\text{O}_{18}$ 、 $\text{Na}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 、 $\text{K}_{0.5}\text{Bi}_{4.5}\text{Ti}_4\text{O}_{15}$ 等が挙げられ、中でも $\text{SrBi}_2\text{Ta}_2\text{O}_9$ や $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ ($0 < x \leq 1$) が好ましい。

【0016】これらの強誘電体膜は基板上にゾルゲル法、MOD (Metal Organic Decomposition) 法等の塗布成膜法によって形成される。この膜形成方法においては、上記薄膜を構成する一部の元素の塩または金属アルコキシド等を含む有機溶媒と、他の元素の塩又は金属アルコキシド等を含む有機溶媒とを混合することによって原料溶液を調製し、この原料溶液をスピンコート法等により一回の塗布で20~100 nm程度の膜厚で塗布し、100~300℃程度の乾燥工程を行う。本発明では、強誘電体膜の結晶化焼成法として、通常の常圧での焼成法に比べて低温で結晶化させることが可能な圧力(1~10 Torr)の減圧雰囲気中での焼成を行うことを特徴とする。

【0017】従来の減圧焼成法では、所望の膜厚まで塗布、乾燥を繰り返した後、減圧焼成によって強誘電体膜の結晶化を行っていた。これに対して、本実施の形態においては、まず1~2回の塗布、乾燥によって20~80 nm程度の膜厚で堆積した後、まず最初の減圧焼成を圧力1 Torr以上且つ10 Torr以下(以下、「1~10 Torr」とする)の減圧酸素雰囲気中で基板温度を500℃以上且つ700℃以下(以下、「500~700℃」とする。)の焼成を10~60分間程度行う。

【0018】その後さらに所望の厚さまで塗布、乾燥を繰り返した後、常圧の酸素、窒素混合雰囲気中で、基板温度550~650℃、時間5~30秒の焼成によりアモルファス状態又は微結晶状態(一部に結晶状態が存在するアモルファス状態)にするか、または再度、圧力1~10 Torrの減圧酸素雰囲気中における、基板温度500~700℃、10~60分間の結晶化焼成を行う。

【0019】この後、この強誘電体薄膜上に上部電極となるPtを形成、加工後、リーク電流の抑制と強誘電体薄膜の十分な結晶化を目的とした、やはり圧力1~10 Torrの減圧酸素雰囲気中における、基板温度500~700℃、10~60分間の焼成を加えることにより、強誘電体キャパシタを得る。

【0020】強誘電体膜形成方法として、このような方法をいれば、特に下部電極付近における膜の緻密性が

向上し、リーク電流の増大や絶縁耐圧劣化の原因となる粗大結晶粒間のピンホール等の発生が抑制され、リーク電流、絶縁耐圧に優れた強誘電体キャパシタを得ることができる。

【0021】また、上記強誘電体膜の形成方法は、塗布、成膜法だけでなく、MOCVD法、スパッタリング法、レーザーアブレーション法、反応性蒸着法等を用いて、膜を堆積し、20～80nm程度堆積した段階で、減圧焼成による結晶化を行い、さらに上記形成法で所望膜厚まで堆積後、減圧焼成による結晶化を行う方法を用いてもよい。但し、容易に均一性の高い膜を形成するには、塗布法を用いることが望ましい。

【0022】以下、図1を用いて、本発明の一実施の形態の強誘電体キャパシタを有する半導体記憶素子の製造工程を説明する。

【0023】まず、熱酸化により膜厚200nmのシリコン酸化膜2を形成したシリコン基板1上に、スパッタリング法により、Ti密着層3、その後下部Pt電極4をそれぞれ30nm、200nm形成する。

【0024】次に、この下部Pt電極4上に、強誘電体材料として、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD溶液（組成比 $\text{Sr}/\text{Bi}/\text{Ta}=8/24/20$ ）を1層50nm厚程度塗布し、250℃、5分間の乾燥工程を施した（図1(a)）後、圧力3Torrの減圧酸素雰囲気中において、基板温度600℃、30分間の熱処理により結晶化を行った（図1(b)）。尚、図1において、符号5は乾燥工程後の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示し、符号6は結晶化された $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示す。

【0025】その後、この結晶化された $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜6上に、さらにMOD法による、塗布、乾燥を3回繰り返して所望膜厚200nm程度とし、常圧の酸素雰囲気中において、基板温度600℃、5分間の熱処理でアモルファスまたは微結晶状態とした。そして、この $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜7上に上部Pt電極9を形成（図1(c)）後、圧力3Torrの減圧酸素雰囲気中にお

*ける、基板温度600℃、30分間の熱処理を加えた（図1(d)）。尚、図1において、符号7は塗布/乾燥工程を3回行った後の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示す。

【0026】このような工程によりキャパシタ素子を作製することにより、まずMOD溶液の1層目の塗布段階での強誘電体膜（ $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜）を結晶化させているので、この段階で粗大な結晶粒が成長しにくく、特に下部Pt電極付近での膜の緻密性が向上し、リーク電流が抑制され、絶縁耐圧が向上する。

【0027】次に、上述の第1の実施の形態に示す本発明の製造工程により作製されたキャパシタ素子と、以下に示す従来技術により作製されたキャパシタ素子とを比較する。

【0028】従来技術による方法としては、まず、上述の実施の形態と同様にシリコン基板11上にシリコン酸化膜12、Ti密着層13、下部Pt電極14を順次形成し、その下部Pt電極14上に $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD溶液（組成比 $\text{Sr}/\text{Bi}/\text{Ta}=8/24/20$ ）を4回塗布、乾燥を繰り返し、200nm程度の膜厚とした（図4(a)）後、常圧の酸素雰囲気中において、基板温度600℃、5分間の熱処理でアモルファス、または微結晶状態にした。尚、図3における符号20は4回塗布、乾燥を繰り返した後の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示す。そして、この $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜上に上部Pt電極19を形成した（図4(b)）後、圧力3Torrの減圧酸素雰囲気中における、基板温度600℃、30分間の熱処理を加えた（図4(c)）。図3における符号21は結晶化された $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示す。

【0029】これら、上述の実施の形態と比較例のキャパシタ素子の上部電極面積は $1 \times 10^{-4} \text{cm}^2$ とした。この2つの素子のリーク電流と絶縁耐圧を評価した結果を表1に示す。

【0030】

【表1】

$\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜形成法	リーク電流(A/cm^2)	絶縁耐圧(V)
従来法	2.53×10^{-7}	8.3
第1の実施の形態	1.86×10^{-8}	12.8
第2の実施の形態	5.21×10^{-9}	15.2

【0031】これにより、本実施の形態におけるキャパシタ素子は、従来法のものにより、リーク電流、絶縁耐圧ともに改善されていることが分かる。また、上記強誘電体膜は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を用いているが、これに、Nbを置換した $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ ($0 < x \leq 1$)でも同様の効果が得られる。

【0032】次に、本発明の第2の実施の形態について説明する。尚、本第2の実施の形態に用いる基板、強誘電体材料は、第1の実施の形態と同様であり、また、強

誘電体膜の形成方法も、第1の実施の形態と同様、ソルゲル法、MOD法の塗布法により行われる。

【0033】第2の実施の形態では、1回の塗布で、20～80nm程度の膜厚で堆積し、各塗布、乾燥工程毎に減圧焼成を圧力1～10Torrの減圧酸素雰囲気中で基板温度500～700℃の焼成を10～60分間程度行い、これを所望の膜厚が得られるまで繰り返す。この減圧焼成工程の直前に一旦、500～600℃程度の常圧酸素または酸素窒素混合雰囲気中での熱処理を行

てもよい。

【0034】その後、この強誘電体膜上に上部電極となるPtを形成、加工後、リーク電流の抑制と強誘電体膜の十分な結晶化を目的とした、圧力1~10 Torrの減圧酸素雰囲気中における、基板温度500~700℃、10~60分間の焼成を加えることにより、強誘電体膜キャパシタを得る。

【0035】強誘電体膜形成法として、このような方法を用いれば、膜全体の緻密性が向上し、第1の実施の形態の場合以上に、リーク電流抑制、絶縁耐圧向上に優れた強誘電体キャパシタを得ることができる。

【0036】以下、図2及び図3を用いて、第2の実施の形態に示す強誘電体キャパシタを有する半導体記憶素子の製造工程を説明する。

【0037】まず、熱酸化により膜厚200nmのシリコン酸化膜2を形成したシリコン基板1上に、スパッタリング法により、Ti密着層3、その後下部Pt電極4をそれぞれ30nm、200nm形成する。

【0038】次に、この下部Pt電極4上に、強誘電体材料として、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD溶液（組成比 $\text{Sr}/\text{Bi}/\text{Ta}=8/24/20$ ）を1層50nm厚程度塗布し、250℃、5分間の乾燥工程を施した（図2（a））後、圧力3 Torrの減圧酸素雰囲気中において、基板温度600℃、30分間の熱処理により結晶化を行った（図2（b））。尚、図2において、符号5aは塗布／乾燥工程後の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示し、符号6aは結晶化された $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示す。

【0039】その後、この $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜6aを1層塗布して結晶化させた基板の上に、さらにMOD法による、塗布、乾燥、減圧焼成の工程を3回繰り返して所望膜厚200nm程度とした（図2（c）～図3（c））。そして、この $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜6d上に

上部Pt電極9を形成後、圧力3 Torrの減圧酸素雰囲気中における、基板温度600℃、30分間の熱処理を加えた（図3（d））。尚、図2において、符号5b、5c、5dは塗布／乾燥工程後の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示し、符号6b、6c、6dは結晶化された $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を示す。また、キャパシタ素子の上部Pt電極面積は $1 \times 10^{-4} \text{cm}^2$ とした。

【0040】この第2の実施の形態に示す方法により作製されたキャパシタ素子のリーク電流、絶縁耐圧の評価を表1に示す。この表1に示すように、第2の実施の形

態に示す方法で作製されたキャパシタ素子が最もリーク電流抑制及び絶縁耐圧に優れている。また、上記強誘電体膜は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を用いているが、これに、Nbを置換した $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ （ $0 < x \leq 1$ ）でも同様の効果が得られる。

【0041】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、下部電極表面上には結晶構造の緻密な強誘電体膜が形成でき、粗大結晶粒の生じやすいBi系層状構造化合物においても、結晶化を複数段階に分けて行うことにより、結晶構造の緻密な強誘電体膜を得ることができる。

【0042】また、請求項2に記載の発明を用いることにより、より強誘電体膜の緻密性が向上する。

【0043】また、請求項3に記載の本発明を用いることにより、下部電極とのコンタクトプラグにポリシリコンを用いる場合の、高温プロセスでの酸化の問題が解消される。

【0044】また、請求項4及び請求項5に記載の本発明を用いることにより、疲労耐性に優れ、低電圧駆動が可能な半導体メモリ素子が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の強誘電体キャパシタを有する半導体記憶素子の製造工程図である。

【図2】本発明の第2の実施の形態の強誘電体キャパシタを有する半導体記憶素子の前半の製造工程図である。

【図3】本発明の第2の実施の形態の強誘電体キャパシタを有する半導体記憶素子の後半の製造工程図である。

【図4】従来技術を用いた強誘電体キャパシタを有する半導体記憶素子の製造工程図である。

【符号の説明】

1 シリコン基板

2 シリコン酸化膜

3 Ti密着層

4 下部Pt電極

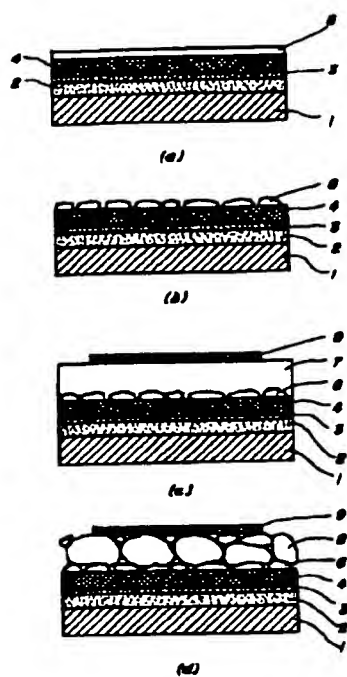
5、5a、5b、5c、5d 塗布／乾燥工程後の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜

6、6a、6b、6c、6d、8 結晶化された $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜

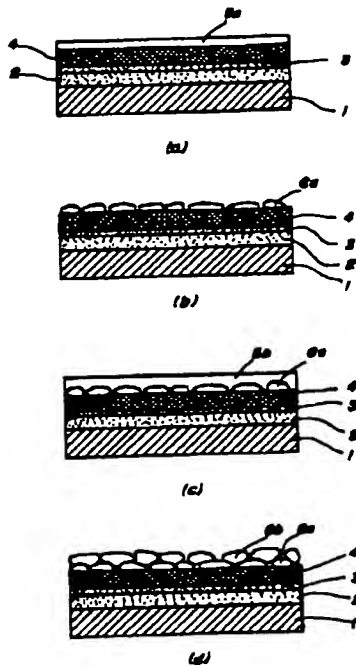
7 塗布／乾燥工程を3回繰り返した後の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜

9 上部Pt電極

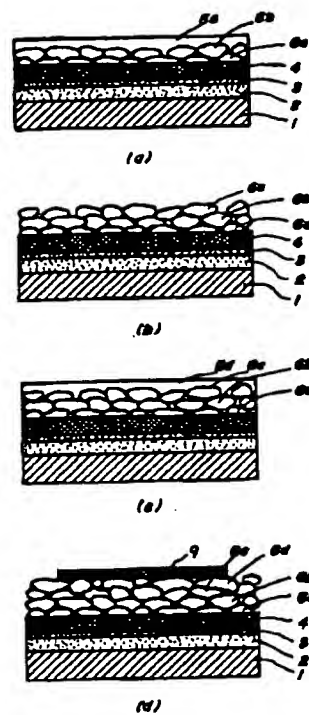
【図1】



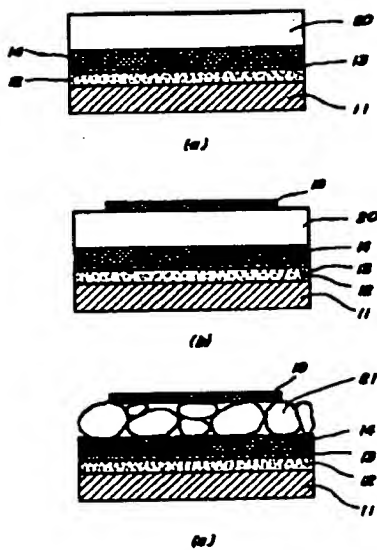
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.6

識別記号

F I

H O 1 L 21/8247

29/788

29/792